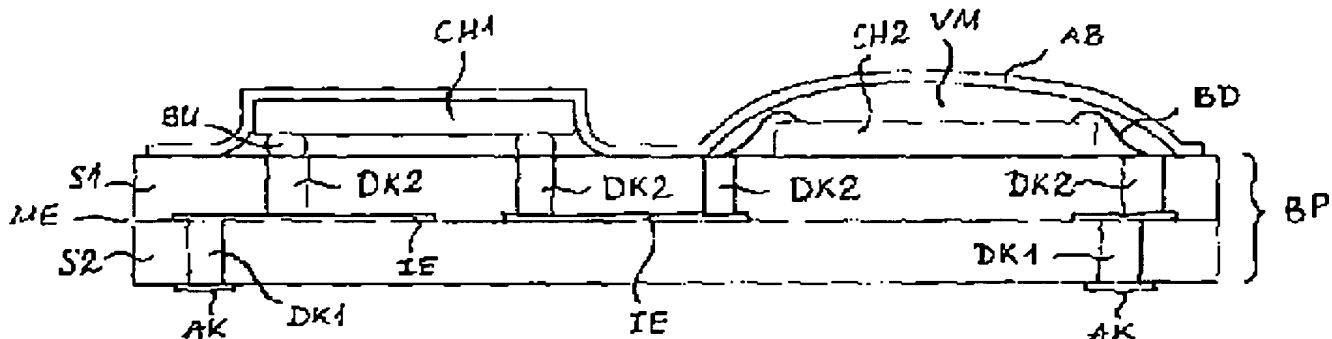


13

AN: PAT 2004-461598  
TI: Multichip electronic component has encapsulation sealed to the base plate and a cavity for a further chip  
PN: DE10256945-A1  
PD: 17.06.2004  
AB: NOVELTY - An electronic component comprises chips (CH1,2) on a baseplate (BP) at least one having an exposed electro-acoustic or electro-mechanical structure with at least two chips being connected to the baseplate by flip-chip or wire bonding. Chips are encapsulated (AB), the cover sealing to the base but having a cavity for another chip. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a process for the above.; USE - As a multichip electronic component and production process (claimed) especially for electro-acoustic and electro-mechanical structures such as SAW or BAW elements. ADVANTAGE - All the naked chips are mounted and encapsulated together with a saving in area requirement and provision is made for surface-sensitive chips. DESCRIPTION OF DRAWING(S) - A cross-sectional view of the unit is shown. chips CH1,2 baseplate BP encapsulant AB

PA: (EPCO-) EPCOS AG;  
IN: BAUERNSCHMITT U; MEISTER V;  
FA: DE10256945-A1 17.06.2004; WO2004051745-A2 17.06.2004;  
CO: DE; JP; KR; US; WO;  
DN: JP; KR; US;  
IC: B81B-007/00; H01L-021/50; H01L-021/56; H01L-023/10; H01L-023/28; H01L-023/31; H01L-023/50; H01L-023/522; H01L-023/552; H01L-025/04; H03H-009/05;  
MC: U11-C18C; U11-D01A6; U11-E01A; U11-E01C; U11-E02A1; U12-B03E; U14-G; V06-K05; V06-K08;  
DC: Q68; U11; U12; U14; V06;  
FN: 2004461598.gif  
PR: DE1056945 05.12.2002;  
FP: 17.06.2004  
UP: 12.07.2004





(10) **DE 102 56 945 A1** 2004.06.17

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **102 56 945.2**  
(22) Anmeldetag: **05.12.2002**  
(43) Offenlegungstag: **17.06.2004**

(51) Int Cl.<sup>7</sup>: **H01L 25/04**  
**H01L 23/50, H01L 21/56, H01L 23/28**

(71) Anmelder:  
**EPCOS AG, 81669 München, DE**

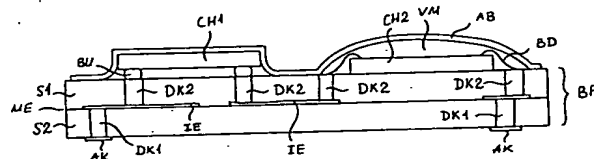
(74) Vertreter:  
**Epping Hermann Fischer,  
Patentanwaltsgesellschaft mbH, 80339 München**

(72) Erfinder:  
**Bauernschmitt, Ulrich, 85586 Poing, DE; Meister,  
Veit, Dr., 15345 Kagel, DE**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Elektronisches Bauelement mit mehreren Chips und Verfahren zur Herstellung**

(57) Zusammenfassung: Die Erfindung betrifft ein elektronisches Bauelement mit mehreren Chips, die auf einer Basisplatte angeordnet sind und mit dieser mittels unterschiedlicher Verbindungstechniken, z. B. Flip-Chip-Technik, Surface Mounted Design oder Drahtbondtechnik, elektrisch verbunden sind. Die Erfindung schlägt eine Verkapselung der Chips (individuell oder als Gruppe aus zumindest zwei Chips) mit einer Abdeckung sowie ein Verfahren zur Herstellung vor.



## Beschreibung

[0001] Die Erfindung betrifft ein elektronisches Bauelement mit mehreren Chips, die auf einer Basisplatte angeordnet sind und mit dieser und miteinander elektrisch verbunden sind. Die Chips erfüllen in einem auf diese Weise aufgebauten Modul jeweils eine bestimmte Funktionalität hinsichtlich der Verarbeitung ankommender bzw. ausgehender elektrischer Signale, z. B. die Funktionalität eines Filters, einer Sende-Empfangsweiche oder eines Verstärkers.

[0002] Es ist bekannt, daß ein oder mehrere Chips mit einer Basisplatte beispielsweise mittels Drahtbondtechnik, Surface Mounted Design (Oberflächenmontage) oder Flip-Chip-Technik elektrisch verbunden werden können. Es ist möglich, daß mehrere auf die Basisplatte in gleicher Technik (vorzugsweise auch im gleichen Verfahrensschritt) aufgebrachte Chips individuell oder gemeinsam verkapselt werden. Bekannt sind z. B. drahtgebundene Chips, die auf einer Basisplatte montiert und gemeinsam mit einem Metalldeckel überdeckt sind.

[0003] Möglich ist auch, daß die Chips in verschiedenen Verfahrensschritten und auch in verschiedenen Verbindungstechniken auf die Basisplatte aufgebracht werden. Dabei werden als Chips dicht gegen die Umwelteinflüsse verkapselte elektronische Einzelkomponenten eingesetzt. Die einzeln verkapselten Komponenten (Chips) haben beim Aufbau eines modularen Bauelements allerdings den Nachteil, daß sie wesentlich mehr Platz in Anspruch nehmen als die „nackten“ Chips. Es ist bekannt, daß die „nackten“ Chips (insbesondere Halbleiterchips mit integrierten Schaltungselementen) auf der Basisplatte montiert und mit einer Vergußmasse verkapselt werden: Diese Lösung kann allerdings bei Verkapselung oberflächensensitiver Chips, d. h. Chips mit auf der Oberfläche freiliegenden, mechanisch nicht geschützten Bauelementstrukturen, insbesondere SAW- und BRW-Bauelementstrukturen (SAW = Surface Acoustic Wave, BAW = Bulk Acoustic Wave), nicht eingesetzt werden.

## Aufgabenstellung

[0004] Aufgabe dieser Erfindung ist es, ein elektronisches Bauelement mit mehreren auf einer Basisplatte angeordneten Chips, darunter oberflächensensitiven Chips, die mit dieser in verschiedenen Verbindungstechniken elektrisch verbunden und dicht gegen die Umwelteinflüsse verkapselt sind, anzugeben, das sich durch einen geringen Platzbedarf und hohe Zuverlässigkeit auszeichnet und das in einem einfach durchzuführenden Herstellungsverfahren gefertigt werden kann.

[0005] Diese Aufgabe wird durch ein elektronisches Bauelement gemäß Anspruch 1 gelöst. Vorteilhafte Varianten und Weiterbildungen der Erfindung gehen aus weiteren Ansprüchen hervor.

[0006] Die Erfindung gibt ein elektronisches Bauelement an, das mehrere auf der Oberfläche einer Basisplatte angeordnete Chips umfaßt, die miteinander und mit der Basisplatte elektrisch verbunden sind.

Zumindest einer der Chips weist dabei freiliegende elektroakustische und/oder elektromechanische Bauelementstrukturen auf. Dabei sind zumindest zwei von den Chips in verschiedenen Verbindungstechniken, ausgewählt aus Flip-Chip-Technik, Surface Mounted Design (SMD) oder Drahtbondtechnik, mit der Basisplatte elektrisch verbunden. Die Chips sind mittels einer kappenförmigen Abdeckung verkapselt, die zumindest für einen Chip einen Hohlraum bildet und mit der Basisplatte dicht abschließt. In einer weiteren Ausführungsform umfaßt das erfindungsgemäße Bauelement mindestens zwei Chips mit in verschiedenen Technologien (z. B. SAW, MEMS oder BAW) hergestellten oberflächensensitiven Bauelementstrukturen, die mittels eines geeigneten Verfahrens mit der Basisplatte elektrisch verbunden sind.

[0007] Die in verschiedenen Technologien (z. B. SAW bzw. BAW) hergestellten Chips können auch in gleicher Verbindungstechnik montiert sein.

[0008] Das erfindungsgemäße Bauelement hat gegenüber bekannten modular aufgebauten Bauelementen den Vorteil, daß „nackte“ Chips auf der Basisplatte montiert sind, die nicht einzeln für sich verkapselt sind, sondern (jeweils einzeln, in Gruppen oder insgesamt) erst mit der Basisplatte eine gemeinsame Häusung bilden. Bei der Bestückung der Basisplatte mit den „nackten“ Chips wird im Vergleich zu den einzeln verkapselten Chips der Platzbedarf gering gehalten.

[0009] Zumindest einer der Chips weist zumindest eine dielektrische bzw. piezoelektrische Schicht und zumindest eine strukturierte Metallisierungsebene auf.

[0010] Die Chips können insbesondere elektroakustische (z. B. zumindest einen mit akustischen Volumenwellen arbeitenden Dünnschichtresonator oder zumindest einen mit akustischen Oberflächenwellen arbeitenden Interdigitalwandler) und/oder elektromechanische (z. B. zumindest einen elektromechanischen Sensor oder einen mikromechanischen Schalter) Bauelementstrukturen, die im folgenden als oberflächensensitive Bauelementstrukturen bezeichnet werden, aufweisen. Darüber hinaus können die Chips aktive (z. B. einen Transistor) und/oder passive (z. B. eine Kapazität, eine Induktivität oder einen Widerstand) Bauelementstrukturen aufweisen. Einer der Chips oder ein Teil der Chips kann beispielsweise eine diskrete elektronische Einzelkomponente (z. B. Diode, Transistor, Kapazität, Induktivität oder Widerstand) sein. Auch beliebige Kombinationen der hier genannten Bauelementstrukturen im Rahmen des erfindungsgemäßen Bauelements sind möglich.

[0011] In der bevorzugten Variante der Erfindung weist zumindest einer der genannten Chips auf seiner Oberfläche angeordnete oberflächensensitive Bauelementstrukturen auf, die beispielsweise nicht

mechanisch geschützt sind. Die erfindungsgemäße Verkapselung bietet insbesondere für nicht geschützte oberflächensensitive Bauelementstrukturen (z. B. Oberflächenwellenkomponenten, Dünnschichtresonatoren, Sensoren, elektromechanische Sensoren) und/oder nicht geschützte elektromechanische Bauelementstrukturen (z. B. mikromechanische Schalter) der Chips Schutz vor äußerer mechanischer Einwirkung, Kurzschluß, Kontamination und/oder Korrosion durch eindringende Feuchte oder Chemikalien.

[0012] Möglich ist es auch, die Bauelementstrukturen durch eine zusätzliche Schutzkappe zu überdecken. Darüber hinaus ist es möglich, daß ein Teil der Chips bereits verkapselte Einzelkomponenten sind oder solche Komponenten enthält.

[0013] Die Abdeckung kann aus einem (vorzugsweise hermetisch dichten) organischen Material bestehen. In einer vorteilhaften Ausführungsform der Erfindung umfaßt die Abdeckung eine Metallschicht. Die eine Metallschicht umfassende Abdeckung kann beispielsweise für einen der Chips, für Chipgruppen, für alle Chips, verkapselte SMD Komponenten oder Gruppen dieser, oder Kombinationen dieser mit Chips oder Chipgruppen als Schirmung gegenüber elektromagnetischer Strahlung dienen.

[0014] Es ist möglich, daß die Abdeckung aus einem Verbund aus mehreren Schichten, z. B. einer Metallschicht und einer isolierenden Schicht, vorzugsweise einer Kunststoffolie, gebildet ist. Die isolierende Schicht ist dabei vorzugsweise auf der zu den Chips gewandten Seite der Abdeckung angeordnet. Des weiteren ist es möglich, daß auf der Metallschicht eine Schicht aus Siliziumoxid angeordnet ist.

[0015] In einer weiteren Variante der Erfindung ist die Abdeckung als eine vorgeprägte Metallfolie ausgeführt. Die Metallfolie kann dabei insbesondere Ausbuchtungen zur Aufnahme von den Chips aufweisen. Die zu den Chips gewandte Oberfläche der Abdeckung kann eine isolierende Schicht, z. B. eine Schutzlack-Schicht, oder (ggf. auch teilweise) eine Schicht aus Lot, Lötpaste oder Kleber aufweisen.

[0016] Es kann erfindungsgemäß vorgesehen sein, auf der Oberfläche der Basisplatte einen elektrisch leitenden, lötfähigen oder schweißbaren Rahmen anzuordnen, der einen oder mehrere Chips umschließt, und mit dem die Metallfolie dicht abschließt, wobei die genannten Chips dadurch (hermetisch dicht) verkapselt werden.

[0017] Die Aufgabe der Erfindung wird darüber hinaus durch ein Verfahren zur Herstellung des erfindungsgemäßen Bauelements gelöst. Das erfindungsgemäße Verfahren umfaßt folgende Schritte. Zuerst werden nicht verkapselte Chips und die Basisplatte, die mit einem auf ihrer Oberfläche angeordneten, einen oder mehrere Chips umfassenden, elektrisch leitenden Rahmen versehen sein kann, bereitgestellt. Die Chips werden auf die Basisplatte montiert, z. B. durch Kleben oder Flip-Chip-Montage. Zwischen der Basisplatte und den Chips werden (z. B. mittels Reflow Lötten, Lötten, Drahtbonden oder

Schweißen) elektrische Verbindungen hergestellt. Eine vorzugsweise als geprägte Metallfolie ausgeführte Abdeckung wird bereitgestellt und in Kontakt mit der Oberfläche der Basisplatte gebracht, so daß eine Abdeckung aller Chips erfolgt, wobei die Abdeckung den jeweiligen Chip oder eine Gruppe von Chips umgibt und außerhalb der vom Chip bzw. der Chipgruppe bedeckten Fläche dicht mit der Oberfläche der Basisplatte abschließt.

[0018] Im Gegensatz zu bekannten Verfahren beschreibt die Erfindung die hermetische Verkapselung oberflächensensitiver Chips und deren elektrische Kontaktierung innerhalb des Bauteils, wobei gleichzeitig entweder in verschiedener Technologie hergestellte oberflächensensitive Chips eingesetzt werden und/oder gleichzeitig verschiedene Verbindungstechnologien für die elektrische Anbindung zum Einsatz kommen.

[0019] In einer vorteilhaften erfindungsgemäßen Verfahrensvariante wird der eine lötfähige Schicht umfassende Rahmen mit der Abdeckung in Kontakt gebracht und anschließend verlötet. Möglich ist es auch, den Rahmen mit der auf der Innenseite eine lötfähige Schicht aufweisenden Abdeckung zu kontaktieren und anschließend zu verlöten.

[0020] Des Weiteren ist es möglich, nach der Verkapselung der Chips die Abdeckung so zu strukturieren, daß mehrere miteinander nicht verbundene Teile der Abdeckung entstehen, welche jeweils einen Chip, eine Einzelkomponente oder eine Gruppe dieser überdecken und dabei verkapseln.

[0021] Das erfindungsgemäße Verfahren läßt es zu, auch nicht verkapselte Chips als Bausteine beim Aufbau eines elektronischen Moduls einzusetzen. Dabei erfolgt die Verkapselung der auf die Basisplatte aufgebrachten Chips in einem gemeinsamen Verfahrensschritt, so daß die Verfahrensschritte zur Verkapselung der Einzelkomponenten bei der Herstellung dieser Komponenten erspart werden können.

#### Ausführungsbeispiel

[0022] Im Folgenden wird die Erfindung anhand von Ausführungsbeispielen und den dazugehörigen Figuren näher erläutert. Die Figuren dienen dabei nur der Erläuterung und sind nicht maßstabsgetreu. Gleiche oder gleich wirkende Elemente sind mit gleichen Bezugszeichen bezeichnet.

[0023] Fig. 1 zeigt den prinzipiellen Aufbau eines erfindungsgemäßen Bauelements im schematischen Querschnitt

[0024] Fig. 2 bis 12 zeigen vorteilhafte Ausführungsformen eines erfindungsgemäßen Bauelements

[0025] Fig. 1 zeigt den prinzipiellen Aufbau eines erfindungsgemäßen Bauelements im schematischen Querschnitt. Das Bauelement umfaßt eine Basisplatte BP, einen ersten und einen zweiten Chip (Bezugszeichen CH1 bzw. CH2), die auf dieser Basisplatte angeordnet und mit ihr mittels Bumps BU bzw. Bond-

drähten BD elektrisch verbunden sind. Die Chips CH1, CH2 sind durch eine Abdeckung AB abgedeckt, die außerhalb der von den Chips bedeckten Bereiche dicht mit der Oberfläche der Basisplatte abschließt und so eine hermetische Abdichtung realisiert.

[0026] Die Basisplatte weist in der hier dargestellten Ausführungsform zwei dielektrische Schichten auf, zwischen denen eine Metallisierungsebene ME angeordnet ist. Weitere Metallisierungsebenen sind auf der Oberseite und der Unterseite der Basisplatte vorgesehen. Die Metallisierungsebenen umfassen strukturierte Leiterbahnen und sind miteinander und mit den Chips CH1, CH2 in an sich bekannter Weise mittels in den dielektrischen Schichten angeordneten Durchkontaktierungen DK1, DK2 verbunden. Die Leiterbahnen der Metallisierungsebenen können beispielsweise auch Anschlußflächen (auf der Oberseite der Basisplatte) oder integrierte Schaltungselemente IE realisieren, z. B. eine Kapazität, eine Induktivität oder eine Leitung. Die unterste Metallisierungsebene umfaßt die Außenkontakte AK. Auf der Oberfläche der Basisplatte (in der obersten Metallisierungsebene) sind hier nicht dargestellte elektrische Anschlüsse zum Ankontaktieren der Chips vorgesehen. In der bevorzugten Variante der Erfindung bestehen die dielektrischen Schichten aus einem keramischen Material oder einem Kunststoff.

[0027] Der (in der Flip-Chip-Technik auf die Basisplatte BP aufgebrachte) Chip CH1 kann insbesondere ein oberflächensensitiver Chip sein, der auf der zur Basisplatte gewandten Oberfläche nicht verkapselte bzw. nicht mechanisch geschützte aktive Bauelementstrukturen aufweist. Dies kann beispielsweise ein mit akustischen Oberflächenwellen arbeitender Chip (Oberflächenwellen-Bauelement) sein, der ein piezoelektrisches Substrat und auf diesem Substrat angeordnete, in Fig. 1 zur Basisplatte gewandte, elektrisch leitende Strukturen (Bauelementstrukturen) aufweist. Die elektrisch leitenden Strukturen bei einem Oberflächenwellen-Bauelement realisieren insbesondere aktive elektroakustische Strukturen, z. B. Interdigitalwandler oder Reflektoren, die über hier nicht dargestellte elektrische Kontakte und die Bumps BU mit der Basisplatte BP elektrisch verbunden sind. In einer weiteren Variante der Erfindung kann der Chip CH1 ein mit akustischen Volumenwellen arbeitender Chip sein, der ein Trägersubstrat und auf dem Trägersubstrat angeordnete mit akustischen Volumenwellen arbeitende Resonatoren enthält. Möglich ist es auch, daß der Chip CH1 sowohl die mit akustischen Volumenwellen arbeitenden Resonatoren als auch die oben erwähnten mit akustischen Oberflächenwellen arbeitenden Komponenten aufweist, die beispielsweise zumindest einen Teil eines Filters realisieren. Möglich ist auch, daß der Chip CH1 Sensor- oder MEMS-Komponenten aufweist (MEMS = Micro Electromechanical Sensor). Die hier genannten Bauelementstrukturen bzw. Komponenten können im Chip CH1 bzw. auf der Chipoberfläche auch beliebig kombiniert werden.

[0028] Der (in der Drahtbondtechnik auf die Basisplatte BP aufgebrachte) Chip CH2 ist mit einer Vergußmasse VM (vorzugsweise aus Harz, insbesondere Epoxidharz) übergossen. Die Abdeckung AB liegt auf der vorzugsweise ausgehärteten Vergußmasse VM auf und schließt mit der Oberfläche der Basisplatte BP dicht ab. Die Abdeckung AB ist vorzugsweise eine hermetisch dichte und flexible Folie, die wie in der Fig. 2 angedeutet auch mehrlagig sein kann. Die hermetische Dichtigkeit kann auch durch nachträgliches aufputtern einer hermetisch dichten Schicht auf die Folie (vorzugsweise Metall, z. B. Cu) hergestellt werden.

[0029] Fig. 2 zeigt eine vorteilhafte Variante der Erfindung mit einem wie in Fig. 1 schon erklärt in Flip-Chip-Technik auf die Basisplatte aufgebrachten Chip CH1 und einem in SMD-Technik (SMD = Surface Mounted Design) mittels SMD-Kontakten SM aufgebrachten Chip CH2. Die Chips sind mittels der Abdeckung AB verkapselt, die hier einen Verbund mit einer Metallschicht MF1 und einer darunter angeordneten dielektrischen Schicht KF (vorzugsweise aus Kunststoff) darstellt. Da die Metallschicht einen hermetisch dichten Abschluß mit der Basisplatte gewährleistet, kann die dielektrische Schicht auch aus einem nicht hermetisch dichten Material gewählt sein. Möglich ist auch, daß der hermetisch dichte Abschluß mittels einer zusätzlichen, auf der Abdeckung aufgetragenen weiteren Schicht, insbesondere einer Siliziumoxid-Schicht zustande kommt. Die Chips CH1 und CH2 sind in Fig. 1 und 2 durch die Abdeckung individuell verkapselt.

[0030] Es ist möglich, daß die Abdeckung AB bei individueller Verkapselung der Chips beispielsweise durch Lasern oder Ätzen so strukturiert wird, daß Teile AB1, AB2 der Abdeckung, die jeweils einen Chip oder eine Chipgruppe verkapseln, voneinander getrennt werden (siehe z. B. Fig. 3 und 4). Die Metallschicht oder -folie jedes der Teile AB1, AB2 der Abdeckung kann dann mit einem elektrischen Potential verbunden werden, z. B. so, daß sie auf verschiedenen Potentialen liegen. Diese Lösung hat besondere Vorteile bei Bauelementen, die im Mobilfunk eingesetzt werden und insbesondere eine gute Isolation zwischen einem Sendebzw. einem Empfangssignal gewährleisten sollen. In diesem Fall ist es zweckmäßig, daß die Teile AB1 bzw. AB2 der Abdeckung jeweils mit der Masse des Sendebzw. des Empfangspfades verbunden werden. Dadurch gelingt es insbesondere, das Übersprechen zwischen den Signalpfaden gering zu halten.

[0031] In Fig. 3 ist der (linke) Chip CH1 mittels SMD-Kontakten SM und der (rechte) Chip CH2 mittels hier auf den Seitenflächen angeordneten Außenkontakten SM1 mit der Basisplatte BP elektrisch verbunden. Die Außenkontakte SM1 sind hier annähernd senkrecht zur Oberfläche der Basisplatte angeordnet. Es ist auch möglich, daß die Außenkontakte SM1 um die Kante herum greifen.

[0032] In Fig. 4 ist der Chip CH1 mittels Bumps BU,

der Chip CH2 mittels SMD-Kontakten SM2 und ein dritter Chip CH3 mittels Bonddrähten SD mit der Basisplatte BP elektrisch verbunden. Der Teil AB1 der Abdeckung überdeckt die Chips CH1 und CH2 und ist mit dem Teil AB2 der Abdeckung elektrisch nicht verbunden.

[0033] Fig. 5 zeigt als weiteres Ausführungsbeispiel ein erfindungsgemäßes Bauelement mit einer vorstrukturierten Abdeckung AB, die z. B. als vorgeprägte Metallfolie – oder als vorstrukturierte Abdeckung aus (mechanisch stabilem) organischem oder anorganischem Material (z. B. strukturiertem Glas) – mit vorgeformten kappenförmigen, zur Aufnahme von Chips geeigneten Ausbuchtungen ausgebildet ist. Die Abdeckung AB kann wie in Fig. 6 angedeutet mehrere Schichten aufweisen, darunter auch eine vorzugsweise als oberste Schicht ausgeführte Metallschicht MF und eine Isolierschicht IS.

[0034] Auf der Basisplatte ist ein Rahmen RA angeordnet, der in Fig. 5 den Chip CH1 und getrennt davon auch den Chip CH2 umschließt. Der Rahmen kann auch mehrere Chips zusammen umschließen. Der Rahmen umfaßt eine Metallschicht MS und eine lötfähige Schicht LO, z. B. aus Lot. In einer weiteren Variante ist es – wie in Fig. 7 gezeigt – möglich, daß auf der zum Chip gewandten Innenseite der Abdeckung AB, die eine Metallschicht MF umfaßt, eine Schicht aus Lot LS vorgesehen ist. Bei der Verkapselung der Chips wird die als Metallkappe ausgebildete Abdeckung AB mit dem Rahmen RA in Kontakt gebracht und anschließend über den gesamten Umfang mit diesem verlötet.

[0035] Ebenfalls ist es möglich, auf den Rahmen zu verzichten und z. B. einen geeigneten Kleber anstelle des Lotes oder Glaslot und eine Abdeckung aus vorzugsweise strukturiertem Glas zu verwenden.

[0036] In Fig. 8a ist gezeigt, daß auch mehrere (in diesem Fall zwei) Chips CH1, CH2 durch die hier vorstrukturierte Abdeckung AB verkapselt sein können.

[0037] Die vorstrukturierte, mechanisch stabile Abdeckung ermöglicht insbesondere, daß die aktiven Bauelementstrukturen auch auf der (von der Basisplatte abgewandten) Oberseite des Chips angeordnet sein können, wobei die Chipfläche wesentlich geringer (um ca. Faktor 2) als bei bekannten Chips mit nur einer die aktiven Bauelementstrukturen tragenden Oberfläche gewählt werden kann. Die auf der Oberseite angeordneten Bauelementstrukturen können mit der (zur Basisplatte gewandten) Unterseite des Chips mittels Durchkontaktierungen verbunden sein.

[0038] Auch beidseitige Kontaktierung eines Chips ist in dieser Ausführungsform der Erfindung möglich. Die beidseitige Kontaktierung bedeutet, daß der Chip auf der Unterseite und auf der Oberseite Kontaktflächen aufweist, die mit den Anschlußflächen der Basisplatte elektrisch verbunden sind. Das Ankontaktieren der auf der Unterseite angeordneten Kontaktflächen erfolgt z. B. mittels Flip-Chip Technik oder SMD-Technik. Die auf der Oberseite angeordneten

Kontaktflächen können mit den Anschlußflächen der Basisplatte beispielsweise mittels Bonddrähten (siehe Fig. 8b) und/oder über Löt-, Klebe- und Schweißverbindungen elektrisch verbunden sein. Möglich ist beispielsweise die Kontaktierung der auf der Oberseite angeordneten Kontaktflächen mit den Anschlußflächen auf der Basisplatte mittels (strukturierter) flexiblen Leiterplatten, Federkontakten oder Flachband- oder Bonddrähten.

[0039] Es ist möglich, daß der Chip eine oder mehrere dielektrische Schichten aufweist. Es ist beispielsweise möglich, daß zwischen der untersten und der obersten Metallisierungsebene des Chips, der eine dielektrische Schicht mit einer großen Dielektrizitätskonstante  $\epsilon$  (z. B.  $\epsilon \approx 40$ ) umfaßt, eine zusätzliche dielektrische Schicht (Entkoppelschicht) mit einer geringen Dielektrizitätskonstante (z. B.  $\epsilon < 8$ ) vorgesehen ist, um die Kopplung der auf der Oberseite bzw. der Unterseite angeordneten Bauelementstrukturen zu verringern. Möglich ist auch, daß der Chip zumindest eine, beispielsweise auf einer der dielektrischen Schichten angeordnete, Metallage (Schirmlage, z. B. aus Kupfer oder mu-Metall) aufweist.

[0040] Es kann erfindungsgemäß vorgesehen sein, daß die Oberseite des Chips (vorzugsweise vollständig) metallisiert und dabei beispielsweise mittels Durchkontaktierungen mit den auf der Chipunterseite angeordneten Bauelementstrukturen elektrisch verbunden ist, wobei diese Verbindungen insbesondere zum Pyroschutz bei der Prozessierung des Chips dienen können.

[0041] In einer vorteilhaften Ausführungsform der Erfindung können zumindest zwei Chips übereinander gestapelt sein (siehe Fig. 8c), wobei ein unten (z. B. auf der Basisplatte) angeordneter Chip CH11 auf seiner Unterseite und Oberseite jeweils Kontaktflächen aufweist und ein oberer Chip CH33 z. B. mittels SMD- oder Bumpverbindungen auf dem unteren Chip CH11 montiert ist. Dadurch läßt sich die Fläche des Gesamtmoduls deutlich reduzieren.

[0042] Da die Abdeckung bzw. die Teile der Abdeckung vorzugsweise jeweils nur einen Chip umschließen, ist die Oberfläche der Abdeckung und damit auch die des Bauelements nicht eben. In dem Fall wäre sie daher zur maschinellen Bestückung des Bauelements z. B. durch Ansaugen oder zur Beschriftung des Bauelements nicht geeignet. Die in Fig. 9 und 10 vorgestellten vorteilhaften Ausführungsbeispiele der Erfindung zeigen beispielhafte Möglichkeiten zur Planarisierung der Bauelement-Oberfläche.

[0043] In Fig. 9 ist ein mit Hilfe einer Platte PL planarisiertes erfindungsgemäßes Bauelement schematisch dargestellt. Die Platte PL kann aus Kunststoff, Keramik oder Metall bestehen. Die Platte PL kann durch eine Folie gebildet sein. Die Platte PL kann insbesondere als Fläche zur Beschriftung des Bauelements oder zur maschinellen Bestückung des Bauelements mittels Ansaugens (z. B. auf eine Leiterplatte eines Endgerätes) dienen. Die Platte PL liegt teilwei-

se auf den Teilen AB1, AB2 der Abdeckung und ist mit dieser (z. B. durch eine Klebeschicht) mechanisch verbunden.

[0044] Fig. 10 zeigt ein weiteres planarisiertes erfindungsgemäßes Bauelement, wobei die z. B. zur Beschriftung geeignete planare Oberfläche durch die Oberfläche einer Vergußmasse VM1 gebildet ist. Die Vergußmasse VM1 wird nach der Verkapselung der Chips auf die Abdeckung AB aufgebracht, wobei die Vergußmasse die verkapselten Chips komplett überdeckt und nach dem Aushärten eine planare Oberfläche bereitstellt.

[0045] Die kappenförmige Abdeckung AB kann beispielsweise aus anorganischem Material (z. B. Glas, Keramik) bestehen. Eine solche Abdeckung ist vorzugsweise wie in Fig. 11 gezeigt auf einem Stützrahmen RH angeordnet, der mit dem auf der Basisplatte angeordneten Rahmen RA mechanisch fest verbunden ist. Möglich ist auch eine Abdeckung, die ein Verbundelement darstellt, beispielsweise einen Stützrahmen aus Metall mit einem darauf angeordneten Keramikdeckel oder einen keramischen Stützrahmen mit einem darauf angeordneten Metalldeckel. Die Abdeckung AB kann des weiteren aus einem (strukturierten) Verbundmaterial mit mehreren Schichten (siehe z. B. Fig. 12) gebildet sein. Der Stützrahmen RH aus einem dielektrischen Material kann (siehe Fig. 12) lötfähige Flächen K1 aufweisen, die einerseits mit der lötfähigen Schicht LO des Rahmen RA und andererseits mit der Schicht aus Lot LS verbunden werden kann. Auch kann der Rahmen aus einer geeigneten Metallegierung, einem Metall oder einem anderen geeigneten Werkstoff oder einem Mehrlagenstapel mit geeignetem oberliegenden Material bestehen, auf den eine Abdeckung AB aufgebracht und mittels z.B. Schweißen verbunden wird (z.B. ein Blechdeckel auf einen aus Kovar bestehenden Rahmen).

[0046] In einer vorteilhaften Variante der Erfindung ist es vorgesehen, daß der Stützrahmen RH individuell für unterschiedliche Chips gefertigt ist und auf der Basisplatte BP angeordnet bzw. integriert ist. Die (vorzugsweise gemeinsame für alle Chips, z. B. als Glas- oder Keramikplatte ausgeführte) Abdeckung AB wird dann auf dem Stützrahmen RH befestigt, z. B. durch Kleben oder ggf. Verlöten. Diese Erfindungsvariante hat den Vorteil, daß der Stützrahmen RH mit hoher Genauigkeit gefertigt werden kann, wobei beim Aufsetzen der Abdeckung die aufwendige Justierung nicht erforderlich ist. Möglich ist es auch, daß der Stützrahmen RH in Verbund mit der Abdeckung AB bereitgestellt wird und die so gebildete Abdeckkappe auf der Basisplatte befestigt wird, z. B. durch Kleben oder ggf. Verlöten.

[0047] In den Figuren ist die Erfindung zur besseren Erläuterung nur schematisch dargestellt. Die Darstellungen sind daher nicht maßstabsgetreu und geben auch die äußere geometrische Ausgestaltung nur schematisch wieder. Die Erfindung ist auch nicht auf die in den Figuren dargestellten Details beschränkt,

sondern umfaßt auch die bereits erwähnten Variationsmöglichkeiten, sowie weitere im Rahmen der Ansprüche denkbare Ausführungsformen.

### Patentansprüche

1. Elektronisches Bauelement, mit einer Basisplatte (BP), auf deren Oberfläche mehrere Chips (CH1, CH2) angeordnet sind, wobei zumindest einer der Chips (CH1, CH2) freiliegende elektroakustische und/oder elektromechanische Bauelementstrukturen aufweist, wobei zumindest zwei von den Chips (CH1, CH2) in verschiedenen Verbindungstechniken, ausgewählt aus Flip-Chip-Technik, Surface Mounted Design oder Drahtbondtechnik, mit der Basisplatte (BP) elektrisch verbunden sind, wobei alle Chips mittels einer Abdeckung (AB) verkapselt sind und wobei die Abdeckung um einen oder mehrere Chips herum mit der Basisplatte dicht abschließt und einen Hohlraum für zumindest einen darin angeordneten Chip bildet.

2. Bauelement nach Anspruch 1, bei dem zumindest zwei von den Chips (CH1, CH2) jeweils unterschiedlichen Bauelementklassen, ausgewählt aus SAW, FBAR, MEMS, zugehörig sind.

3. Bauelement nach Anspruch 1 oder 2, bei dem die Abdeckung (AB) eine Metallschicht umfaßt.

4. Bauelement nach Anspruch 1 oder 2, bei dem die Abdeckung (AB) eine geprägte Metallfolie ist.

5. Bauelement nach Anspruch 3 oder 4, bei dem auf der zu den Chips gewandten Seite der Metallschicht oder der Metallfolie eine Isolierschicht (IS) angeordnet ist.

6. Bauelement nach einem der Ansprüche 3 bis 5, bei dem auf der zu den Chips gewandten Seite der Abdeckung eine Schicht aus Lot (LS) angeordnet ist.

7. Bauelement nach einem der Ansprüche 4 bis 6, bei dem jeder der Chips (CH1, CH2) individuell verkapselt ist, wobei die Metallfolie mit einem auf der Basisplatte (BP) angeordneten, den jeweiligen Chip umschließenden elektrisch leitenden Rahmen (RA) elektrisch verbunden ist.

8. Bauelement nach einem der Ansprüche 4 bis 6, bei dem jeder der Chips (CH1, CH2) individuell verkapselt ist, wobei die Abdeckung eine Metallisierung aufweist, die mit einem auf der Basisplatte (BP) angeordneten, den jeweiligen Chip umschließenden elektrisch leitenden Rahmen (RA) elektrisch verbunden ist.

9. Bauelement nach einem der Ansprüche 1 bis 7, bei dem zumindest zwei der Chips (CH1, CH2) in

einem gemeinsamen Hohlraum angeordnet sind.

10. Bauelement nach einem der Ansprüche 1 bis 9, bei dem zumindest einer der Chips mit der Basisplatte in Drahtbondtechnik elektrisch verbunden ist und bei dem zwischen diesem Chip und der Abdeckung eine Vergußmasse vorgesehen ist.

11. Bauelement nach einem der Ansprüche 1 bis 10, bei dem mehrere Chipgruppen vorgesehen sind, wobei jede der genannten Chipgruppen zumindest einen der Chips (CH1, CH2) enthält, bei dem eine Chipgruppe eine Abdeckung (AB) aufweist, welche mit der Abdeckung einer weiteren, aus den genannten Chipgruppen ausgewählten Chipgruppe nicht verbunden ist.

12. Bauelement nach einem der Ansprüche 1 bis 11, bei dem auf der Abdeckung (AB) eine Platte oder Folie mit einer planaren Oberfläche angeordnet ist.

13. Bauelement nach einem der Ansprüche 1 bis 11, bei dem auf der Abdeckung (AB) eine Vergußmasse vorgesehen ist, welche eine planare Oberfläche aufweist und die Abdeckung komplett überdeckt.

14. Bauelement nach einem der Ansprüche 1 bis 13, bei dem zumindest einer der genannten Chips ein mit akustischen Oberflächen- und/oder Volumenwellen arbeitender Chip ist.

15. Bauelement nach einem der Ansprüche 1 bis 14, bei dem zumindest einer der genannten Chips eine verkapselte Einzelkomponente darstellt und über ihre außen liegenden Kontaktflächen mit der Basisplatte elektrisch verbunden ist.

16. Bauelement nach einem der Ansprüche 1 bis 15, bei dem die Basisplatte mehrere dielektrische Schichten (S1, S2) und Metallisierungsebenen (ME) aufweist, wobei die Metallisierungsebenen auf, unterhalb und zwischen den dielektrischen Schichten angeordnet sind und wobei die Metallisierungsebenen miteinander mittels Durchkontaktierungen verbunden sind.

17. Bauelement nach Anspruch 16, bei dem die Metallisierungsebenen als strukturierte Leiterbahnen ausgeführte integrierte Schaltungselemente, ausgewählt aus einer Kapazität, einer Induktivität oder einer Leitung aufweisen.

18. Bauelement nach einem der Ansprüche 1 bis 17, bei dem zumindest einer der Chips (CH1, CH2) in Flip-Chip- oder SMD-Technik auf der Basisplatte (BP) aufgebracht ist und bei dem die Bauelementstrukturen auf der Unterseite und der Oberseite dieses Chips angeordnet sind.

19. Bauelement nach Anspruch 18, bei dem Kontaktflächen auf der Unterseite und der Oberseite des Chips angeordnet sind und bei dem die Kontaktflächen mit den Anschlußflächen der Basisplatte elektrisch verbunden sind.

20. Verfahren zur Herstellung eines verkapselten elektronischen Bauelements mit folgenden Verfahrensschritten:

- Bereitstellung nicht verkapselter Chips (CH1, CH2),
- Bereitstellung einer Basisplatte (BP),
- Herstellung elektrischer Verbindungen zwischen der Basisplatte (BP) und den Chips (CH1, CH2),
- Bereitstellung einer Abdeckung (AB),
- Aufbringung der Abdeckung (AB) auf die Oberfläche der Basisplatte (BP), wobei alle Chips durch die Abdeckung (AB) überdeckt werden,
- Verbindung der Abdeckung (AB) mit der Basisplatte (BP) oder einem auf dieser aufgetragenen Rahmen, wobei jeweils ein Chip oder eine Chipgruppe hermetisch dicht umhüllt wird.

21. Verfahren nach Anspruch 20, bei dem eine Basisplatte (BP) mit einem auf der Oberfläche der Basisplatte angeordneten elektrisch leitenden Rahmen (RA) bereitgestellt wird.

22. Verfahren nach Anspruch 20 oder 21, bei dem die Abdeckung (AB) als geprägte Metallfolie, in der Hohlräume zur Aufnahme der Chips vorgesehen sind, ausgeführt wird.

23. Verfahren nach einem der Ansprüche 20 bis 22, bei dem die Innenseite der Abdeckung (AB) eine lötfähige Schicht aufweist, mit der der Rahmen (RA) oder die Oberfläche der Basisplatte in Kontakt gebracht und anschließend verlötet wird.

24. Verfahren nach einem der Ansprüche 20 bis 23, bei dem nach der Verkapselung der Chips die Abdeckung (AB) so strukturiert wird, daß mehrere miteinander nicht verbundene Teile der Abdeckung entstehen, welche jeweils eine Chipgruppe mit jeweils einem oder mehreren Chips überdecken.

25. Verfahren nach einem der Ansprüche 20 bis 24, bei dem nach der Verkapselung der Chips eine Vergußmasse (VM1) auf die Abdeckung (AB) aufgebracht wird, welche die verkapselten Chips komplett überdeckt und nach dem Aushärten eine planare Oberfläche bereitstellt.

26. Verfahren nach einem der Ansprüche 20 bis 25, bei dem nach der Verkapselung der Chips eine Platte mit einer planaren Oberfläche auf die Abdeckung (AB) aufgebracht und mit dieser verbunden wird.

Es folgen 7 Blatt Zeichnungen



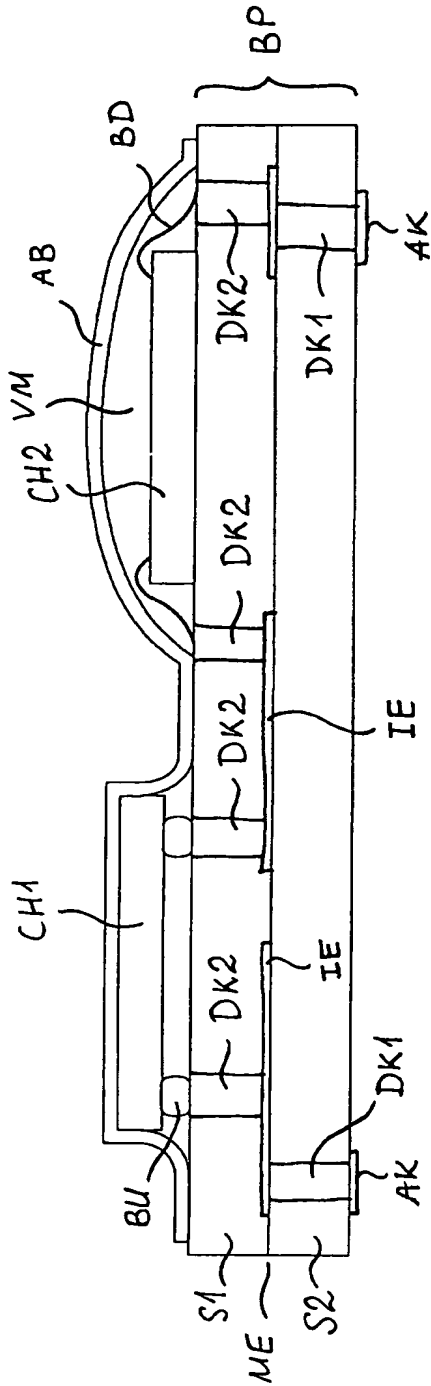


Fig. 1

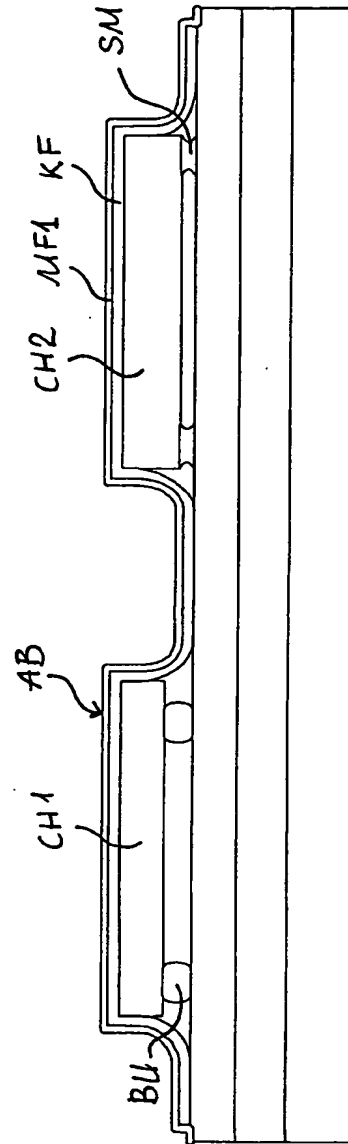


Fig. 2

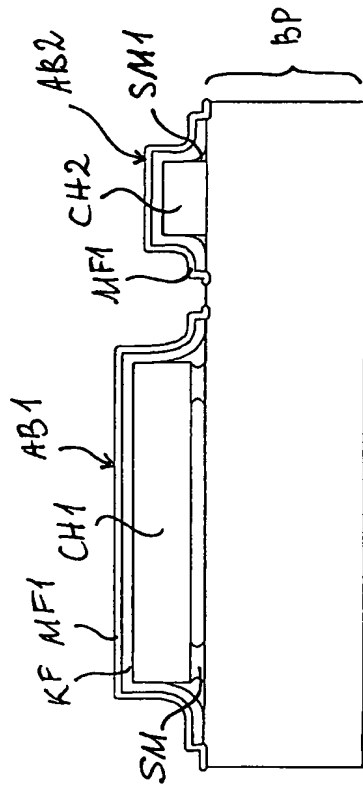


Fig. 3

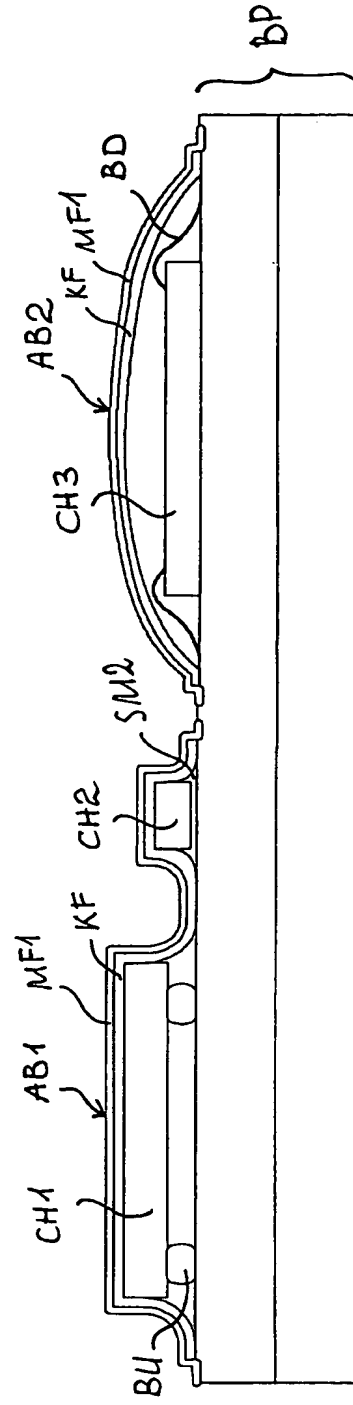


Fig. 4

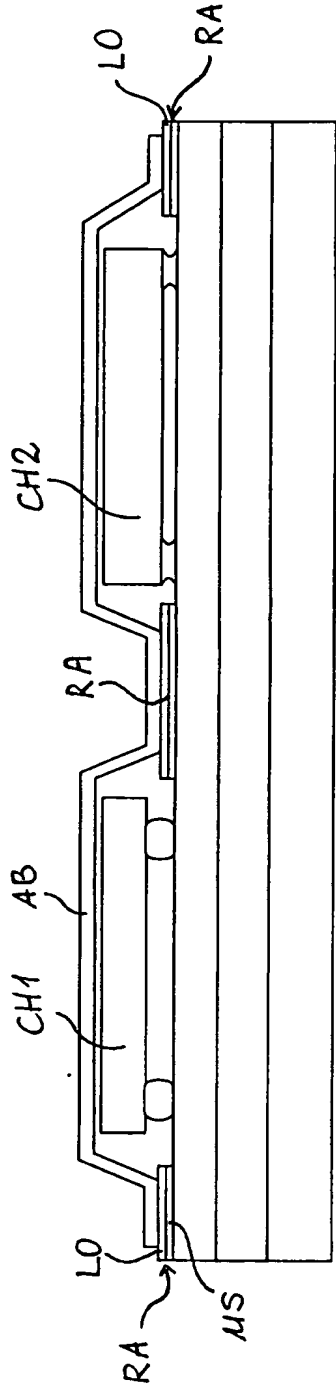


Fig. 5

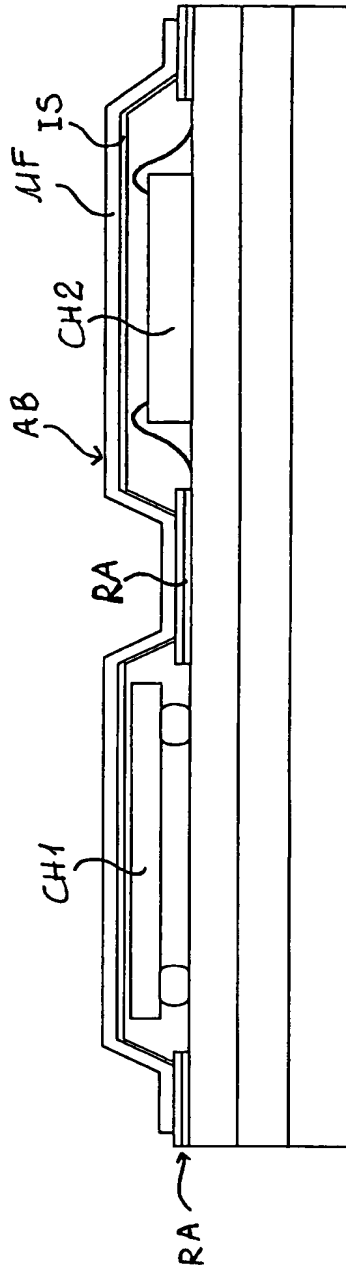


Fig. 6

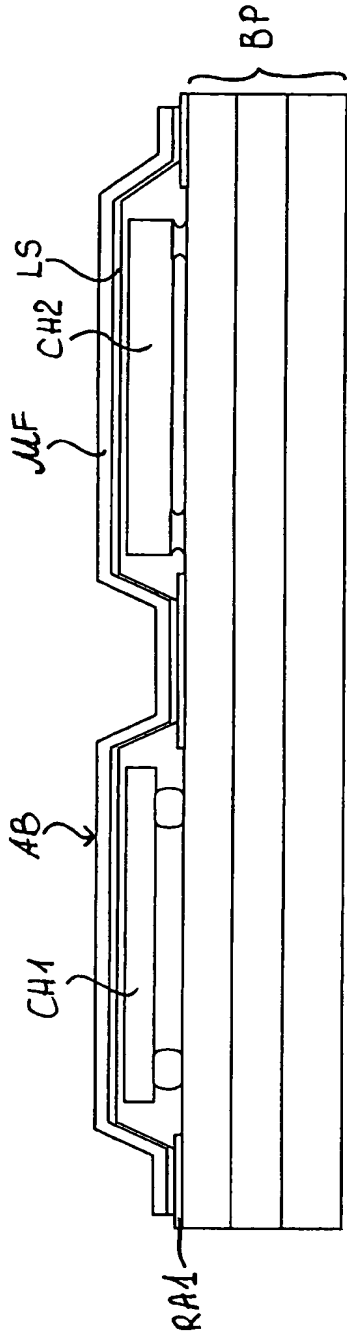


Fig. 7

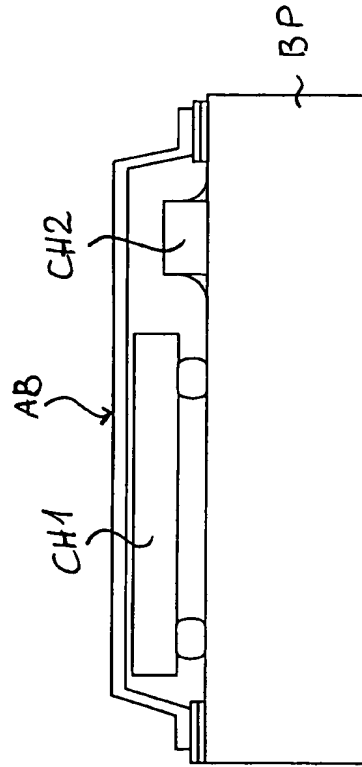


Fig. 8a

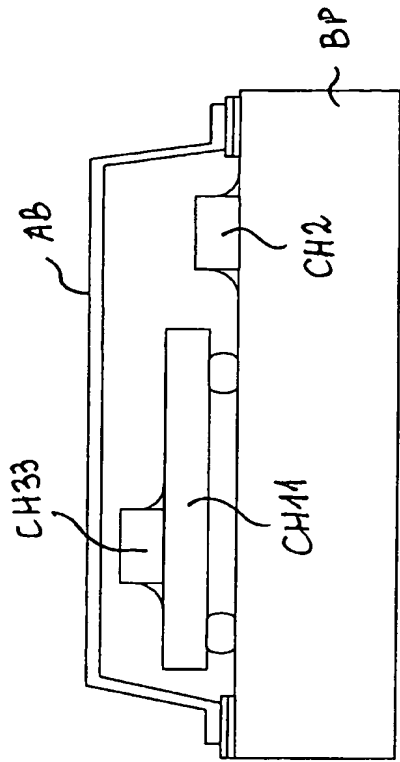


Fig. 8c

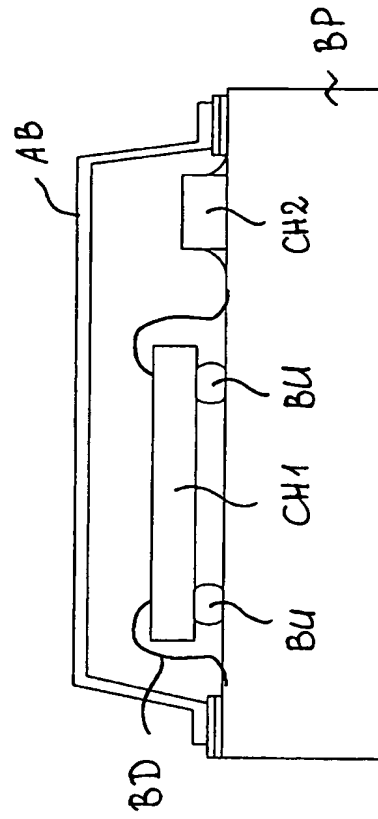


Fig. 8b

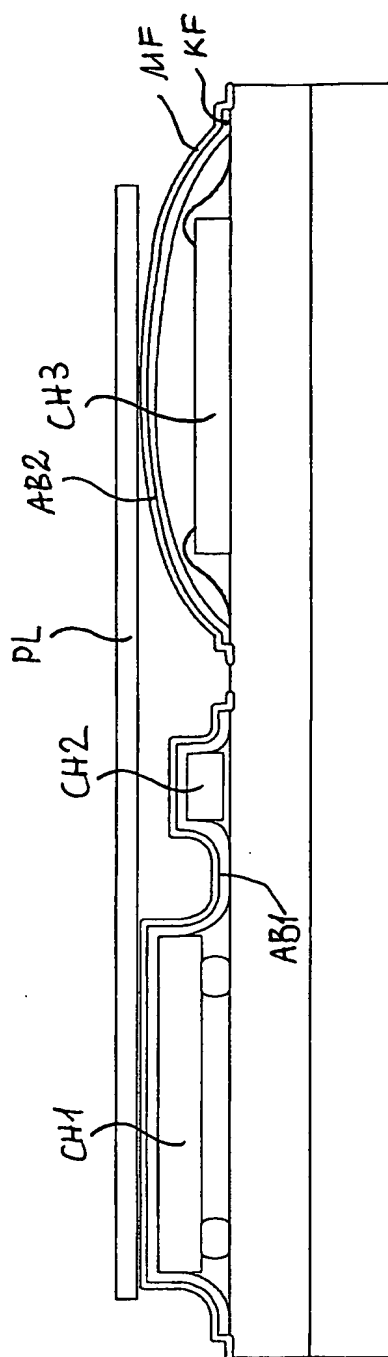


Fig. 9

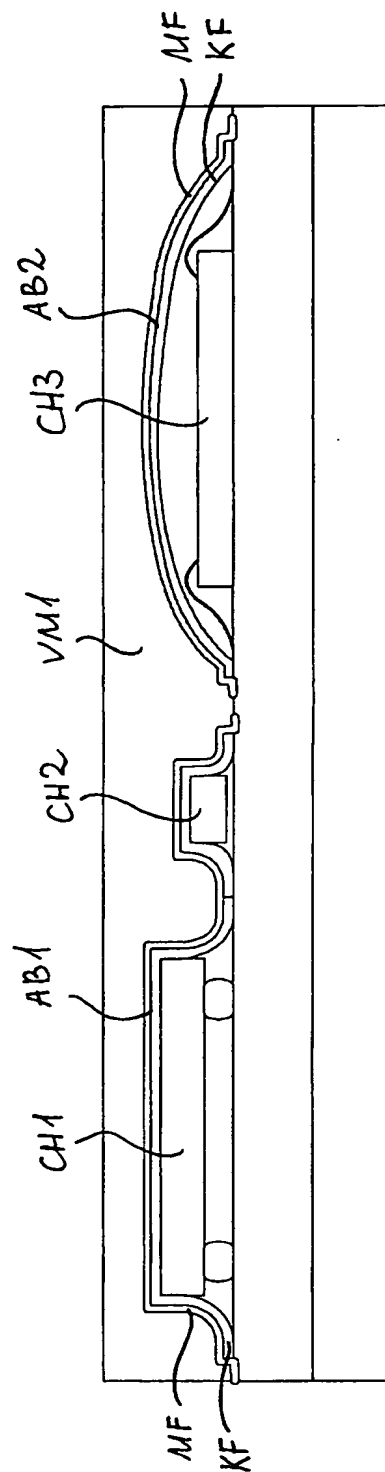


Fig. 10

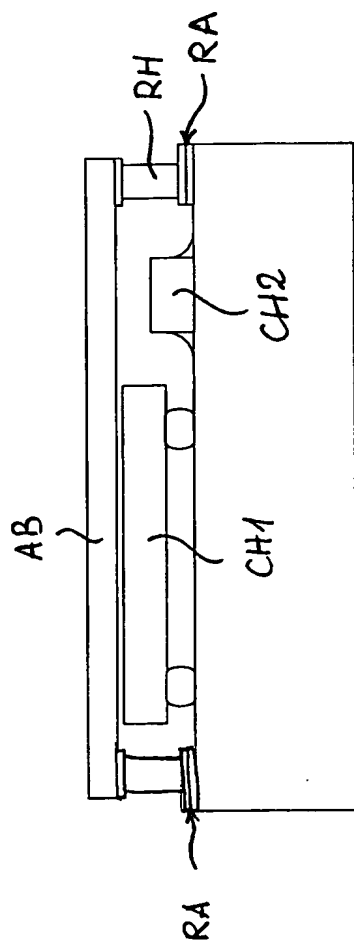


Fig. 11

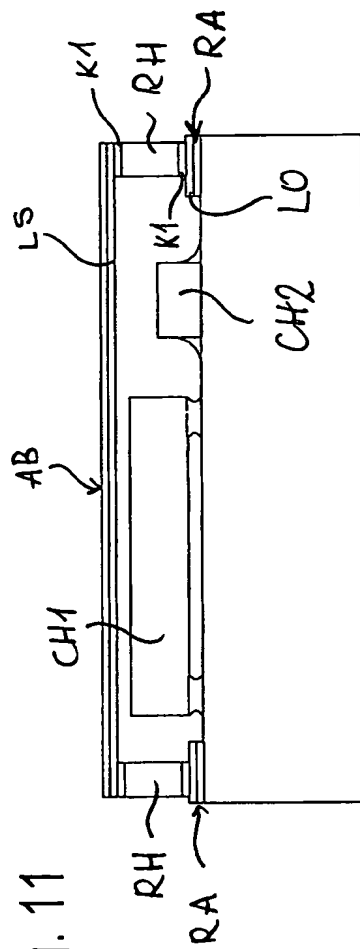


Fig. 12